

(51) Int.Cl.³

H 0 1 S 3/18

識別記号

庁内整理番号

9170-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 4 頁)

(21) 出願番号 特願平3-12259

(22) 出願日 平成3年(1991)2月1日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 橋本 栄

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

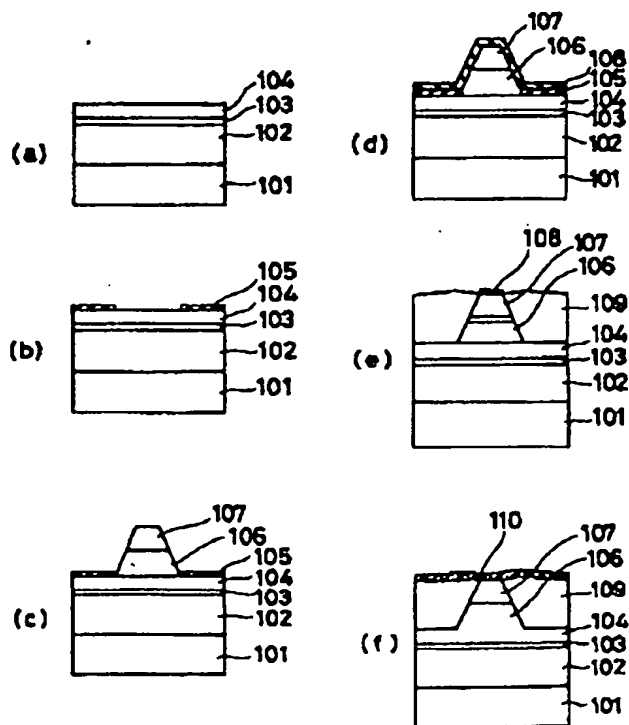
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体レーザ及びその製造方法

(57) 【要約】

【目的】本発明は、クラッド層の膜厚の制御を容易に行うことが出来、電流阻止層の成長界面に結晶欠陥を生ずることがなく、かつ電流阻止層と電極との密着性の良好な半導体レーザを提供することを目的とする。

【構成】半導体基板と、この上に形成された第1導電型の下部クラッド層と、この下部クラッド層の一部上に選択成長により形成された第1導電型の上部クラッド層と、この上部クラッド層上に形成された第1導電型のキャップ部と、前記下部クラッド層の他の部分上に前記上部クラッド層及びキャップ部の側壁に接して選択成長により形成された電流阻止層とを具備する半導体レーザ。



【特許請求の範囲】

【請求項1】半導体基板と、この上に形成された第1導電型の下部クラッド層と、この下部クラッド層の一部上に選択成長により形成された第1導電型の上部クラッド層と、この上部クラッド層上に形成された第1導電型のキャップ層と、前記下部クラッド層の他の部分上に前記上部クラッド層及びキャップ層の側壁に接して選択成長により形成された電流阻止層とを具備する半導体レーザ。

【請求項2】半導体基板上に第1導電型の下部クラッド層を形成する工程と、前記下部クラッド層上に選択的に第1のマスクを形成する工程と、前記下部クラッド層上の前記第1のマスクにより覆われていない部分に選択成長により第1導電型の上部クラッド層を形成する工程と、前記上部クラッド層上に第1導電型のキャップ層を形成する工程と、前記キャップ層上に選択的に第2のマスクを形成するとともに前記下部クラッド層上の第1のマスクを除去する工程と、前記下部クラッド層上の第1のマスクが除去された部分上に前記上部クラッド層及びキャップ層の側壁に接して選択成長により電流阻止層を形成する工程とを具備する半導体レーザの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体レーザ及びその製造方法に係り、特に電流阻止層を具備する半導体レーザ及びその製造方法に関する。

【0002】

【従来の技術】現在、各種の半導体レーザが実用化されており、その中でMOCVD (Metal Organic Chemical Vapor Deposition) により製造される半導体レーザ素子として、利得導波型構造のものが知られている。

【0003】以下、図面を参照して、利得導波型構造を有する半導体レーザ素子の製造方法について説明する。

【0004】第2図(a)～(f)は、従来の利得導波型構造を有する半導体レーザ素子の製造工程を示す断面図である。第1図(a)に示すように、まずn型GaAs基板201上にMOCVD等によりn型Al_{0.1}Ga_{0.9}Asからなるクラッド層202、GaAs又はAl_{0.1}Ga_{0.9}Asからなる活性層203、p型Al_{0.1}Ga_{0.9}Asからなるクラッド層204、及びp型GaAsからなるキャップ層205を順次形成する。

【0005】次に、スパッタリング又はPCVD (Plasma CVD) 等により全面にSiO₂膜を形成した後、フォトリソグラフィ工程及び緩衝弗酸等を用いたエッチング工程により、第2図(b)に示すように、n型電流阻止層を形成するためのマスクとして用いられるSiO₂膜206を形成する。

【0006】その後、このSiO₂膜206をマスクとして用い、NH₄OH:H₂O=1:20(25℃)等のエッチング液を用いた化学エッチングにより、第2

図(c)に示すように、p型Al_{0.1}Ga_{0.9}Asからなるクラッド層204の残膜厚が0.2～0.4μmとなるまでエッチング処理を行う。

【0007】次いで、第2図(d)に示すように、SiO₂膜206をマスクとして用い、n型電流阻止層207をその膜厚がp型GaAsからなるキャップ層206の上面とほぼ等しくなるまで選択再成長する。

【0008】次に、第2図(e)に示すように、SiO₂膜206を緩衝弗酸等を用いて除去した後、第2図(f)に示すように、全面にp型電極208を蒸着等により形成し、利得導波型半導体レーザ素子を得る。

【0009】以上説明した方法によると、n型電流阻止層を自己整合で形成することが可能である。

【0010】

【発明が解決しようとする課題】しかし、上述した従来の利得導波型半導体レーザ素子の製造方法では、n型電流阻止層を形成するために、p型Al_{0.1}Ga_{0.9}Asクラッド層204の化学エッチングの際に、その残膜厚を正確に制御する必要がある。しかし、残膜厚の正確な制御は困難であり、特に同一のウエハ面内で多数の素子において再現性よく均一な厚さにp型Al_{0.1}Ga_{0.9}Asクラッド層204をエッチングすることは非常に困難である。化学エッチング以外でも、例えばRIE (Reactive Ion Etching) のようなドライエッチングを用いても、素子内及びウエハ内において完全に均一な速度でエッチングを行うことは困難であり、エッチングされた表面は、程度の差こそあれ、多くの凹凸が生じてしまう。

【0011】また、一般にMOCVDの成長速度は面方位の影響を受けるため、選択再成長時に、特に第2図(f)の斜線部分209を中心に成長速度の差に起因する結晶欠陥が発生し、注入電流のリークが生じ易い。更に、以上の理由から、再成長したn型電流阻止層の表面にも凹凸が生じ易く、しばしばp型電極208との密着性の不良の原因となっていた。

【0012】本発明は上記事情の下になされ、クラッド層の膜厚の制御を容易に行うことが出来、電流阻止層に結晶欠陥を生ずることがなく、かつ電流阻止層と電極との密着性の良好な半導体レーザを提供することを目的とする。

【0013】また、本発明は、そのような半導体レーザの製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明の半導体レーザは、半導体基板と、この上に形成された第1導電型の下部クラッド層と、この下部クラッド層の一部上に選択成長により形成された第1導電型の上部クラッド層と、この上部クラッド層上に形成された第1導電型のキャップ層と、前記下部クラッド層の他の部分上に前記上部クラッド層及びキャップ層の側壁に接して選択成長により形成された電流阻止層とを具備することを特徴とする。

3

【0015】また、本発明の半導体レーザの製造方法は、半導体基板上に第1導電型の下部クラッド層を形成する工程と、前記下部クラッド層上に選択的に第1のマスクを形成する工程と、前記下部クラッド層上の前記第1のマスクにより覆われていない部分に選択成長により第1導電型の上部クラッド層を形成する工程と、前記上部クラッド層上に第1導電型のキャップ層を形成する工程と、前記キャップ層上に選択的に第2のマスクを形成するとともに前記下部クラッド層上の第1のマスクを除去する工程と、前記下部クラッド層上の第1のマスクが除去された部分上に前記上部クラッド層及びキャップ層の側壁に接して選択成長により電流阻止層を形成する工程とを具備することを特徴とする。

【0016】

【作用】本発明では、クラッド層の形成を下部クラッド層の形成と上部クラッド層の形成とに分け、下部クラッド層を形成した後、選択成長により上部クラッド層を形成している。そのため、電流阻止層を形成するためのクラッド層の膜厚制御に化学エッチングを用いる必要がなく、正確に制御することが出来る。更に、電流阻止層が形成される上部クラッド層表面及び前記上部クラッド及びキャップ層の側壁は平坦であるため、電流阻止層の成長界面に結晶欠陥が生ずることがなく、リーク電流が低減化されるとともに、電流阻止層の表面も平坦になり、電極との密着性も良好となる。

【0017】

【実施例】以下、本発明の一実施例に係る利得導波型構造を有する半導体レーザ素子の製造方法について、図面を参照して説明する。

【0018】まず、図1(a)に示すように、n型GaAs基板101上に、MOCVD等によりn型Al_{1-x}Ga_xAsからなるクラッド層102、GaAs又はAl_{1-x}Ga_xAsからなる活性層103、p型Al_{1-x}Ga_xAsからなる下部クラッド層104（膜厚：0.2～0.4μm）を順次形成する。

【0019】次に、スパッタリング又はPCVD（Plasma CVD）等により全面にSiO₂膜を形成した後、フォトリソグラフィ工程及び緩衝弗酸等を用いたエッチング工程により、第1図(b)に示すように、上部クラッド層及びキャップ層を形成するための選択成長マスクとして用いられるSiO₂膜105を形成する。

【0020】その後、このSiO₂膜105をマスクとして用いて選択再成長を行い、図1(c)に示すように、p型Al_{1-x}Ga_xAsからなる上部クラッド層106及びp型GaAsからなるキャップ層107をそれぞれ所望の膜厚に形成する。

【0021】次いで、図1(d)に示すように、再びスパッタリング又はPCVD（Plasma CVD）等により全面にSiO₂膜108aを形成した後、フォトリソグラフ

4

ィー工程及び緩衝弗酸等を用いたエッチング工程により、第1図(e)に示すように、n型電流阻止層を形成するためのマスクとして用いられるSiO₂膜108bを形成する。

【0022】その後、図1(e)に示すように、SiO₂膜108bをマスクとして用い、n型電流阻止層109をその膜厚がp型GaAsからなるキャップ層107の上面とほぼ等しくなるまで選択再成長する。

【0023】次に、SiO₂膜108bを緩衝弗酸等を用いて除去した後、図1(f)に示すように、全面にp型電極110を蒸着等により形成し、利得導波型半導体レーザ素子を得る。

【0024】以上説明した製造工程では、p型Al_{1-x}Ga_{1-x}Asからなるクラッド層の成長を途中で一時中断して、下部クラッド層104を形成した後、選択再成長用のマスク105を形成し、次いでこのマスク105を用いて上部クラッド層106を形成している。即ちクラッド層はエッチングにより形成されていない。そのため、クラッド層の膜厚を正確に制御することが可能である。

【0025】以上の実施例では、Al_{1-x}Ga_{1-x}As系材料を用いたレーザについて説明したが、Al_{1-x}Ga_{1-x}As系材料以外の材料、例えば（Al_{1-x}Ga_{1-x}）_yIn_{1-y}P系、In_{1-x}Ga_{1-x}As_yP_{1-y}系を用いても、同様の効果を得ることが出来る。

【0026】また、以上の実施例では、レーザ構造として利得導波型半導体レーザを例にとって説明したが、本発明はそれに限らず、例えば屈折率導波型半導体レーザのように電流素子層を含むもの、或いはそれ以外でも化学エッチング又はドライエッチング工程を少なくとも1回必要としていた構造のレーザ素子に、同様に適用可能である。

【0027】

【発明の効果】以上説明したように、本発明の製造方法によると、電流阻止層を、エッチング後ではなく成長を中断した後のクラッド層上に形成するため、結晶欠陥に起因するリーク電流が低減化される。更に、電流阻止層の平坦性が高いため、電極との密着性も良好である。

【図面の簡単な説明】

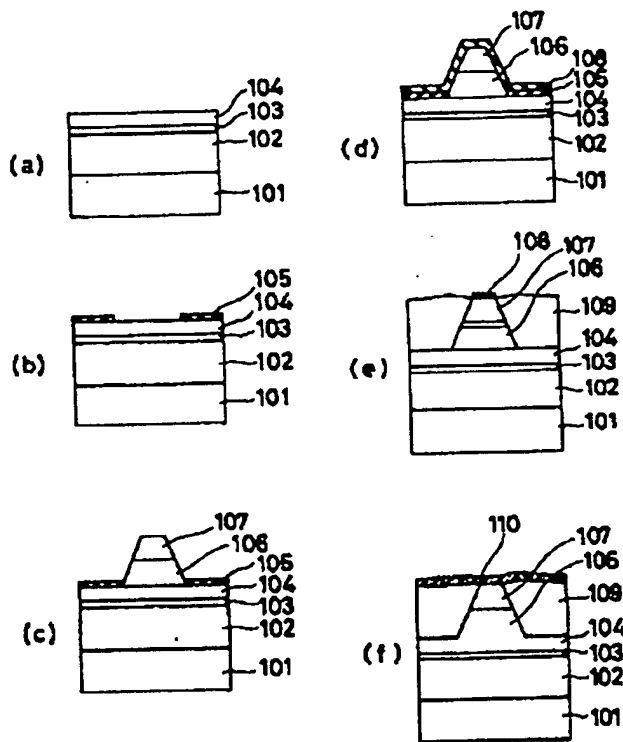
【図1】本発明の一実施例に係る利得導波型半導体レーザの製造工程を示す断面図。

【図2】従来の利得導波型半導体レーザの製造工程を示す断面図。

【符号の説明】

101…n型GaAs基板、102…クラッド層、103…活性層、104…下部クラッド層、105、108a、108b…SiO₂膜、106…上部クラッド層、107…キャップ層、109…n型電流阻止層、110…p型電極。

【図1】



【図2】

